

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-004345

(43)Date of publication of application : 06.01.1998

(51)Int.Cl.

H03K 19/173
H01L 21/82
H01L 27/105
H03K 19/177

(21)Application number : 08-156558

(71)Applicant : HITACHI LTD

(22)Date of filing : 18.06.1996

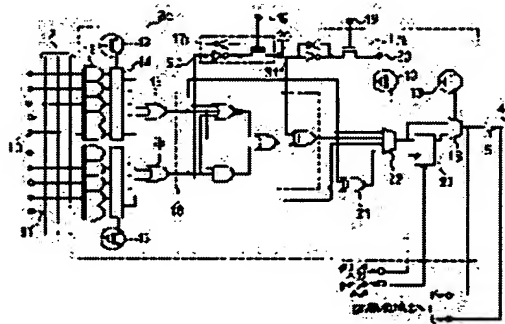
(72)Inventor : ITAGAKI TATSUYA
KAWASAKI KAZUHIRO

(54) FIELD PROGRAMMABLE GATE ARRAY

(57)Abstract:

PROBLEM TO BE SOLVED: To provide the field programmable gate array (FPGA) in which a function is changed in the normal operation and the function is changed at a high speed in the case that a nonvolatile memory is employed for the program element.

SOLUTION: Nonvolatile memories 13 such as EEPROMs are employed for the program elements that make programming logic functions and volatile memories SRAMs 17a, 17b are employed for program elements connected to a logic circuit 16 and data in the SRAMs are rewritten in the normal operation and logic functions such as AND, OR, NAND, NOR are changed based on the data in the SRAM program elements 17a, 17b during the operation of the circuit. Furthermore, the function of an optional base cell 3a is changed by controlling addresses of the SRAMs 17a, 17b. Thus, in the case of a system requiring function change in the normal operation, the function of the FPGA having nonvolatile memories for program elements is changed by using the SRAMs.



LEGAL STATUS

[Date of request for examination]

02.06.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

BEST AVAILABLE COPY

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-4345

(43) 公開日 平成10年(1998) 1月6日

(51) Int.Cl. ⁶	識別記号	片内整理番号	F I	技術表示箇所
H 0 3 K 19/173	1 0 1		H 0 3 K 19/173	1 0 1
H 0 1 L 21/82			19/177	
27/105			H 0 1 L 21/82	A
H 0 3 K 19/177			27/10	4 4 1

審査請求 未請求 請求項の数 6 O L (全 9 頁)

(21) 出願番号 特願平8-156558

(22) 出願日 平成8年(1996) 6月18日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 板垣 竜也

神奈川県横浜市戸塚区戸塚町216番地 株

式会社日立製作所情報通信事業部内

(72) 発明者 河崎 和弘

神奈川県横浜市戸塚区戸塚町216番地 株

式会社日立製作所情報通信事業部内

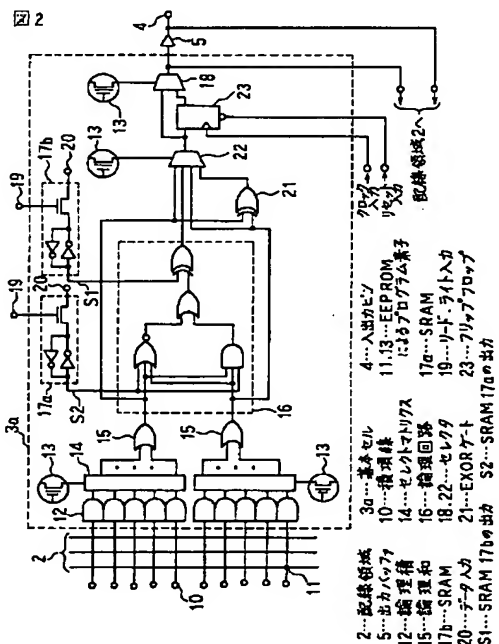
(74) 代理人 弁理士 高橋 明夫

(54) 【発明の名称】 フィールドプログラマブルゲートアレイ

(57) 【要約】

【課題】 不揮発性メモリをプログラム素子として持つフィールドプログラマブルゲートアレイ (FPGA) に対し通常動作時に機能変更し、また高速で機能変更できる FPGA を実現することにある。

【解決手段】 論理を決定するプログラム素子は例えばEEPROMのごとき不揮発性メモリ13であるが、論理回路16につながるプログラム素子を揮発性メモリのSRAM17a、17bとして、通常使用時にSRAMデータを書き換えることで、回路動作中にSRAMプログラム素子17a、17bのデータによりAND、OR、NAND、NOR論理に機能変更する事が可能となる。また、SRAM17a、17bへのアドレスを制御することで、任意の基本セル3aの機能を変更することができる。これにより、通常動作時に機能変更が要求されるシステムにおいて、不揮発性メモリをプログラム素子として持つFPGAをSRAMを用いて機能変更可能にできる。



【特許請求の範囲】

【請求項1】論理回路にプログラム素子として不揮発性のメモリを持つフィールドプログラマブルゲートアレイであって、前記論理回路のプログラミングポイントの少なくとも一部を揮発性メモリであるSRAMに置き換え、前記プログラム素子への不揮発なプログラミング後、回路動作中に内部もしくは外部からのデータによる前記SRAMの書き換えにより機能変更し得るように構成して成るフィールドプログラマブルゲートアレイ。

【請求項2】論理回路にプログラム素子として不揮発性のメモリを持つフィールドプログラマブルゲートアレイであって、前記論理回路のプログラミングポイントの少なくとも一部を揮発性メモリであるSRAMに置き換え、そのSRAMへのデータを保有するランタイムプログラミングのメモリ領域を内蔵し、回路動作中に内部または外部からの信号によりランタイムプログラミングメモリの保有データをSRAMへロードするように構成して成るフィールドプログラマブルゲートアレイ。

【請求項3】論理回路にプログラム素子として不揮発性のメモリを持つフィールドプログラマブルゲートアレイであって、前記論理回路のプログラミングポイントの少なくとも一部を揮発性メモリであるSRAMに置き換え、そのSRAMへのデータを保有する消去可能な不揮発性メモリ領域を内蔵し、回路動作中に内部または外部からの信号により消去可能な不揮発性メモリ領域のデータをSRAMへロードするように構成して成るフィールドプログラマブルゲートアレイ。

【請求項4】論理回路にプログラム素子として不揮発性のメモリを持つフィールドプログラマブルゲートアレイであって、前記論理回路のプログラミングポイントの少なくとも一部を揮発性メモリであるSRAMに置き換え、そのSRAMへのデータを保有するメモリ領域を内蔵し、回路動作中に内部または外部からの信号により、メモリ領域の保有データをSRAMへワンクロック以内でロードするように構成して成るフィールドプログラマブルゲートアレイ。

【請求項5】論理回路にプログラム素子として不揮発性のメモリを持つフィールドプログラマブルゲートアレイであって、前記論理回路のプログラミングポイントの少なくとも一部を揮発性メモリであるSRAMに置き換え、そのSRAMへのデータを保有するメモリ領域を内蔵し、さらに、内蔵したマイクロコンピュータからの信号により、回路動作中にメモリ領域の保有データを任意のSRAMへロードするように構成して成るフィールドプログラマブルゲートアレイ。

【請求項6】上記不揮発性のメモリをEEPROM、EPROMおよびアンチヒューズの少なくとも1種のプログラム素子で構成して成る請求項1乃至5いずれか一つに記載のフィールドプログラマブルゲートアレイ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はフィールドプログラマブルゲートアレイに係り、特に回路動作中に高速で論理機能を変更可能とするフィールドプログラマブルゲートアレイ（以下、FPGAと略称）に関する。

【0002】

【従来の技術】FPGAについては、例えば「ASIC技術の基礎と応用」今井正治編著、電子情報通信学会発行（1994年2月20日）190～211ページ等に記載されたものが知られている。

【0003】従来のFPGAは、規則正しく配列されたハードワイヤード論理の基本セルとそれを接続するための配線領域をもつ。配線は予め用意されており配線接続と基本セル内の論理回路の選択はアンチヒューズ、EEPROM、EPROM、SRAMのいずれかのプログラム素子を用いて決定されるというものである。

【0004】EEPROM、EPROMをプログラム素子として持つFPGAは、PLD型の構造を採用しており、AND-OR論理のプログラミングやセレクトの切り換えにプログラム素子が使用され論理が決定される。そのため高速動作に適している。EEPROM、EPROMは高電圧によりフローティングゲートに電荷を蓄積する事でプログラミングを行うので外部書き込みが必要となる。

【0005】アンチヒューズをプログラム素子として持つFPGAでは、基本セル列と配線領域が交互に並んだ構造となっており、基本セルと配線がアンチヒューズで接続される。アンチヒューズは抵抗、容量、面積に関し他のプログラム素子より有利なため、多くのプログラミングポイントが作成できる。このため基本セルのゲートサイズを他のプログラム素子を用いた場合より小さくできる。また、アンチヒューズは絶縁層を高電圧で破壊する事でプログラミングを行うためプログラムは1度しかできない。

【0006】

【発明が解決しようとする課題】前述したEEPROM、アンチヒューズ、EPROMをプログラム素子として持つFPGAは、通常使用時は不揮発性であり回路動作中にプログラミングを行う事はできない。SRAMをプログラム素子として持つものは回路動作中に機能を変更できるが、それにはSRAMを順次書き換えていくためのコンフィギュレーションシーケンスが数msかかり、頻繁に回路変更をしながら使用すると回路の高速動作ができなくなる。また、外部にコンフィギュレーションデータを格納するROMが必要となり、面積、配線を増加させるという問題点がある。

【0007】したがって、本発明の目的は、上記従来の問題点を解消することにより、具体的には不揮発性のプログラム素子を持つFPGAにSRAMのプログラム素子を混在させて、回路動作中に機能を変更できるように

し、通常1種類の機能しか実現できないものを、複数の機能を実現可能とするFPGAを提供することにある。また、回路動作中に頻繁に機能変更が求められる場合に高速で機能変更を可能とするFPGAを提供することにある。

【0008】

【課題を解決するための手段】本発明によれば上記目的は、例えばEEPROM、EPROMおよびアンチヒューズの少なくとも1種の不揮発性メモリをプログラム素子として論理回路、配線が決定されるフィールドプログラマブルゲートアレイ（FPGA）において、揮発性メモリであり通常使用時の電源電圧でデータ書き換えができるSRAMを、上記プログラム素子の少なくとも一部と置き換え、SRAMデータでも論理回路、配線を決定する様にして、回路動作中に内部に用意したデータまたは外部からのデータをSRAMへロードすることで達成される。

【0009】すなわち、本発明に係るフィールドプログラマブルゲートアレイ（FPGA）は、論理回路にプログラム素子として不揮発性のメモリを持つフィールドプログラマブルゲートアレイ（FPGA）であって、前記論理回路のプログラミングポイントの少なくとも一部を揮発性メモリであるSRAMに置き換え、前記プログラム素子への不揮発なプログラミング後、回路動作中に内部もしくは外部からのデータによる前記SRAMの書き換えにより機能変更し得るように構成して成ることを特徴としている。

【0010】また、上記手段において、SRAMへのデータロードを内蔵マイクロコンピュータにより、コントロールして行うということでも達成される。

【0011】また、回路動作中に高速で機能変更するという目的は、SRAMへのデータを保有するメモリ領域を内蔵し、メモリの出力からSRAMへの配線を予め用意しておき、回路動作中にメモリ領域の該当データを選択することで全てのSRAMプログラミングポイントへ同時にロードすることにより達成される。

【0012】

【発明の実施の形態】以下、本発明による代表的なFPGAの実施の形態を図面にしたがって詳細に説明する。

【0013】〈第1の構成例〉図1～図4を用いて本発明の第1のFPGAの構成例を説明する。図1はFPGAの構成を示すブロック図、図2は図1に示す基本セル3の構成を示す回路図、図3は図2に示すSRAM17a, 17bにより選択される回路16の機能表、図4は図2に示す回路のSRAM17a, 17bにデータを与える方法を示すブロック図である。

【0014】図1において1は入力専用ピン、2は配線領域、3は基本セル、4は入出力ピン、5は出力バッファ、6はアドレスデコーダ、7はオールセレクト、8はアドレス入力、9はフィードバックループ、19はリー

ド・ライト入力を示している。

【0015】また、図2において10は積項線、11, 13はEEPROMによるプログラム素子、12は論理積、14は論理積のセレクトマトリクス、15は論理和、16は論理回路、17a, 17bはSRAMプログラム素子、18, 22はセクタ、19はリード・ライト入力、20はデータ入力、21はEXORゲート、23はフリップフロップ、S1, S2はそれぞれSRAM17a, 17bの出力を示している。

【0016】図4において6はアドレスデコーダ、11, 13, 24はEEPROMプログラム素子、17はSRAMプログラム素子、25はインバータ、26は基本セル中のEEPROMとSRAM以外の部分を集めた論理回路部分を示している。

【0017】このように第1の構成例は、図1に示すように基本セル3を並べて配置しており、それら基本セル3同士を接続するための配線領域2、出力バッファ5、入力専用ピン1、アドレスデコーダ6、及び出力バッファ5からつながる入出力ピン4からなる。このうち基本セル3及び配線領域2の詳細な回路図を図2に示す。

【0018】図2に示す基本セル3aは、配線領域2から、積項線10に入力される信号が、論理積12、論理積のセレクトマトリクス14、論理和15によるAND-OR回路を経由し、SRAM17a, 17bにより機能が決定される論理回路16、またはEXORゲート21、またはAND-OR回路出力そのもの、のいずれかを選択するセクタ22を経由し、さらにフリップフロップ23をバイパスするかどうかを選択するセクタ18を経由し、配線領域2、または出力バッファ5へ出力される。

【0019】積項線10と配線領域2中の配線との交点にはEEPROMプログラム素子11があり、EEPROMのデータをプログラミングすると、積項線10上にANDが形成される。論理積のセレクトマトリクス14では論理積12の出力を論理和15の入力につなぐ前に選択している。

【0020】SRAM17a, 17bの出力S1, S2により決定される論理回路16の機能は図3に示すように、出力S1=0, S2=0の場合はNOR、S1=1, S2=0の場合はOR、S1=0, S2=1の場合はAND、S1=1, S2=1の場合はNANDとなる。

【0021】次にこの第1の構成例においてSRAM17a, 17bにデータを与える方法について図4により説明する。図4は基本セル3b及び配線領域2、アドレスデコーダ6、SRAM17のデータ入力に正転、反転して接続されるデータ入力線20、SRAM17のリード・ライト入力19、アドレスデコーダ6への入力7, 8からなる。

【0022】基本セル3bは、図2に示す基本セル3aの簡略図であり、EEPROMプログラム素子13、SR

AMプログラム素子17を1つで代表している。アドレス入力8により所望の基本セル3bのSRAM17のリード・ライト入力19を選択できる。また、オールセレクト入力7はリード・ライト入力19を全てのSRAM17を書き込み可能状態とすることができ、一度に全てのSRAM17の書き換えを行うことができるものである。

【0023】次に前述のような構成を持つFPGAの利用方法を図4を参照して説明する。利用手順は以下の通りである。

(1) EEPROMプログラム素子11, 13, 24を高電圧により書き込みを行う。

【0024】(2) 通常使用時にデータ入力線20を外部よりハイレベルまたはローレベルにし、オールセレクト信号7を外部より入力して全てのSRAM17を書き込み可能状態とする。SRAM17へのデータ入力はデータ入力線20とインバータ25の有無により決定され、その後SRAM17のデータが書き換わらないようオールセレクト信号7を変化させ書き込み不可とする。

【0025】(3) 通常動作時にアドレス入力8を外部より入力して所望のSRAM17のリード・ライト入力19を書き込み可能状態とし、データ入力線20からのデータにより書き込みを行う。複数のSRAM17を書き換えるには、アドレス入力8に入力するアドレスを順次変更して書き込みを行う。

【0026】上記手順により、(2)において1つの機能を実現され、(3)において通常動作時に複数の機能に変化させることができる。

【0027】このように第1の構成例では、通常使用時に本来書き換え不可能なEEPROMをプログラム素子に持つFPGAにおいて、図2の基本セル3aのようにSRAMプログラム素子17a, 17bを持った構成とすることで、通常動作時の電源電圧において機能変更ができるようにするものである。

【0028】〈第2の構成例〉図5～図7を用いて本発明の第2のFPGAの構成例を説明する。図5はFPGAの構成を示すブロック図、図6は図5における基本セル33の構成を示す回路図、図7はSRAMにデータを与える方法を示すブロック図である。

【0029】図5において6はアドレスデコーダ、17はSRAM、27は入出力ブロック、29は配線領域、33は基本セル、34はアンチヒューズを表し、図6において30a, 30b, 30cはセクタ、31はフリップフロップ、32はORゲートを表す。

【0030】この構成例では、図5に示すように入出力ブロック27が4辺にあり、内部に基本セル33を横1列に並べた領域と配線領域29とが交互に複数行並び、プログラム素子であるSRAM17とアンチヒューズ34が混在している構成となっている。

【0031】基本セル33は図6に示すようにセクタ

30a, 30b, 30c、ORゲート32、フリップフロップ31を持つ。フリップフロップ31が存在しない基本セルも存在する。基本セル33はハードワイヤード論理であり、入出力は配線領域29へ伸びている。入力端子をGNDまたは電源電圧に固定するといくつかの違った論理を実現可能となる。

【0032】図7は図5における配線領域29、基本セル33、SRAM17、アドレスデコーダ6の間の接続を詳細に表したものである。基本セル33と配線領域29はアンチヒューズ34により接続される。配線領域29内にはGND、電源電圧に固定された配線もあり、これと基本セル33への信号をアンチヒューズ34にて接続することで図6に示す回路が所望の機能となる。

【0033】さらに基本セル33同士の接続にもアンチヒューズ34は使われる。また、配線領域29内には、SRAM出力28と接続された配線もあり、これと基本セル33への信号をアンチヒューズ34にて接続することもできる。SRAM17はアドレスデコーダ6により選択されるリード・ライト入力19により書き込み可能となりデータ入力線20の電圧によりデータ入力される。アドレス入力8はアドレスデコーダ6により任意のリード・ライト入力を選択し、オールセレクト入力7はリード・ライト入力19を全てのSRAM17を書き込み可能状態とすることができ、一度に全てのSRAM17の書き換えを行うことができるものである。

【0034】次に前述のような構成を持つFPGAの利用手段を図7を参照して説明する。利用手順は以下の通りである。

(1) アンチヒューズ34を絶縁破壊して導通させ、配線領域29の配線と基本セル33の入出力を接続する。

【0035】(2) 通常使用時にデータ入力線20を外部よりハイレベルまたはローレベルにし、オールセレクト信号7を外部より入力して全てのSRAM17を書き込み可能状態とする。SRAM17への入力データをデータ入力線20より与え、その後オールセレクト信号17によりSRAM17を書き込み不可の状態に戻す。

【0036】(3) 通常動作時にアドレス入力8を外部より入力してリード・ライト入力19により所望のSRAM17を書き込み可能とし、データ入力線20からのデータにより書き込みを行う。複数のSRAM17を書き換えるには、アドレス入力8に入力するアドレスを順次変更して書き込みを行う。

【0037】上記手順により、(2)において1つの機能を実現され、(3)において通常動作時に複数の機能に変化させる事ができる。

【0038】このように第2の構成例では、通常使用時に本来書き換え不可能なアンチヒューズ34をプログラム素子に持つFPGAにおいて、図7のように配線に接続されているSRAM17を加え、その出力28を基本セル33にアンチヒューズ34により接続することで、

通常動作時の電源電圧において機能変更ができるようにするものである。

【0039】〈第3の構成例〉本発明の第3のFPGAの構成例は、図1～図4における本発明の第1の構成例におけるEEPROMプログラム素子13をEPROMプログラム素子に置き換えたもので、図2の基本セル3aのようにSRAMプログラム素子17a、17bを持った構成とすることで、通常動作時の電源電圧において機能変更ができる様にするものである。

【0040】〈第4の構成例〉図8を用いて本発明の第4のFPGAの構成例を説明する。同図はFPGAの構成を示すブロック図である。図において39は図1～図4で説明した本発明の第1の構成例を表したものの、3は図2で説明した基本セル、36はデコーダ、37はワントタイムプログラミングのROM、38はワントタイムプログラミングのROMから基本セル3内のSRAM17a、17bのデータ入力に接続される配線である。

【0041】この構成例は、図1～図4に示した第1の構成例39の基本セル3にワントタイムプログラミングのROM37からの出力が配線38により接続されて構成されている。配線38は基本セル3内でSRAMのデータ入力と接続されている。

【0042】ワントタイムプログラミングのROM37は全ての基本セル3内のSRAM17a、17bと同数のビットを持つデータ1、データ2、データ3、データ4の領域を持ち、データ選択入力35のデータからデコーダ36により選択されたデータ1、2、3、4のいずれかをSRAM17a、17bのデータ入力にロードし、それにより全ての基本セル3の回路を書き換え、回路全体を変更するためのものである。

【0043】次に前述のような構成を持つFPGAの動作を図8を参照して説明する。利用手順は以下の通りである。

(1) ワントタイムプログラミングのROM37にデータ1、2、3、4をプログラムする。

【0044】(2) 基本セル3、及び配線領域2にあるEEPROMプログラム素子11にデータ書き込みを行う。

(3) 通常使用時にデータ選択入力35を外より入力してデコーダ36によりデータ1～4のいずれかを基本セル3内のSRAM17a、17bにロードし、基本セル3内の回路変更を行う。

【0045】上記手順により、図1～図4に示した本発明の第1の構成例において、図4において多数の基本セル3bを書き換えるには、アドレス入力8によりSRAM17を指定して、データ入力線20からのデータを入力することを基本セル3bごとに繰り返さなくてはならなかったことが、図8においてデータ選択入力35への入力値の変更によりSRAM17のデータ変更を即座に全ビット同時に行うことができるようになり、回路変更

が高速で実現可能となる。

【0046】この第4の構成例は、図1～図4に示す第1の構成例に、ワントタイムプログラミングのROM37を内蔵し、基本セル3内のSRAMへの回路変更用のデータをいくつも格納させ、通常動作時にワントタイムプログラミングのROM37のデータをSRAMに1対1でロードすることにより機能変更を高速にできるようにするものである。

【0047】〈第5の構成例〉図9を用いて本発明の第5のFPGAの構成例を説明する。同図はFPGAの構成を示すブロック図である。図において40は図5～図7で説明した本発明の第2の構成例を示したもの、33は図6で説明した基本セル、36はデコーダ、37はワントタイムプログラミングのROM、38はワントタイムプログラミングのROMからSRAM17のデータ入力に接続される配線である。

【0048】この構成例では、図5～図7に示した本発明の第2の構成例40のSRAM17のデータ入力にワントタイムプログラミングのROM37からの出力が配線38により接続されて構成されている。ワントタイムプログラミングのROM37は図8で説明したものと同じものである。

【0049】この第5の構成例は、図8に示した第4の構成例の高速の機能変更方法を図5～図7に示した第2の構成例に適用したもので、ワントタイムプログラミングのROM37を内蔵し、デバイス内のSRAM17への回路変更用のデータをいくつも格納させ、通常動作時にワントタイムプログラミングのROM37のデータをSRAMに1対1でロードすることにより機能変更を高速にできるようにするものである。

【0050】〈第6の構成例〉第6の構成例として、図8で説明した本発明の第4の構成例において、基本セル3内のSRAM17a、17bへのデータを格納するROM37を不揮発性の消去可能メモリに置き換えたものがある。この不揮発性の消去可能メモリにSRAM17a、17bへの回路変更用のデータをいくつも格納させ、通常動作時にそのデータをSRAMに1対1でロードすることにより機能変更を高速にできるようにするものである。また、消去可能メモリであるため、通常使用の前に再プログラミングを行うことでさらに機能を変更できる。

【0051】〈第7の構成例〉図10を用いて本発明の第7のFPGAの構成例を説明する。同図はFPGAの構成を示すブロック図である。図において39aは図1～図4で説明した本発明の第1の構成例を示したもの、3は図2で説明した基本セル、6は図4で説明したアドレスデコーダ、41は基本セル3内のSRAM17a、17bへのデータを格納したデータ部、38は基本セル3内のSRAMデータ入力に接続される配線、42はマイクロコンピュータを表す。

【0052】この第7の構成例は内蔵のマイクロコンピュータ42がデータ部41、アドレスデコーダ6に接続され、基本セル3、配線領域2または外部からマイクロコンピュータ42にデータを入力した構成となっている。マイクロコンピュータ42はアドレスデコーダ6、データ部41に指令を出して基本セル3内のSRAMデータを変更するためのものである。

【0053】次に前述のような構成を持つFPGAの動作を図10を参照して説明する。利用手順は以下の通りである。

(1) データ部41にSRAMへのロードデータをプログラムする。

(2) 基本セル3、及び配線領域2にあるEEPROMプログラム素子にデータ書き込みを行う。

【0054】(3) 通常動作時にマイクロコンピュータ42を内部または外部信号により制御し、マイクロコンピュータ42からの指令によりアドレスデコーダ6により任意の基本セル3内のSRAM17a、17bを選択し、データ部41からのデータを入力する。

【0055】上記手順により、通常動作時に任意の基本セル3内の論理機能を多様に変更可能であり、マイクロコンピュータ42を内蔵したことで外部からの複雑な制御が不要となる。

【0056】この第7の構成例は、図1～図4で説明した本発明の第1の構成例に、さらにマイクロコンピュータ42、メモリ41を内蔵させ、マイクロコンピュータ42を用いて、通常動作中に任意の基本セル3の回路の書き換えを行い多様な機能変更を行うことができるものである。

【0057】前述した本発明の各構成例は、EEPROM、アンチヒューズまたはEPROMをプログラム素子として持つFPGAに対して、これら不揮発性メモリの1部をSRAMに置き換えることで、通常動作時の電源電圧においてSRAMにデータを書き込み、FPGAの機能変更を可能とするものである。

【0058】また、前述した本発明の構成例はSRAMを書き換えするためのデータを、チップに内蔵した1回書き込み型または消去可能な不揮発性のメモリ領域に格納し、メモリ領域の1ビットをSRAMプログラム素子の1ビットと接続することで、SRAMへのデータロードをメモリ領域の該当データを選択するだけで行えるようにしたものであり、通常動作中に高速に機能変更が可能となる。

【0059】また、前述した本発明の構成例はSRAMへのデータ変更の際のリード・ライト信号につながるアドレスデコーダ、SRAMデータを格納するメモリをマイクロコンピュータでコントロールし、より複雑な機能変更を行えるようにすることであり、FPGAの使用効率を高めることができる。

【0060】

【発明の効果】以上説明したように本発明により所期の目的を達成することができた。すなわち、不揮発性のプログラム素子を持つフィールドプログラマブルゲートアレイにおいてSRAMプログラム素子を混在させたことで、通常動作時にも機能を変更することが可能となり、本来同一チップでは1種類の機能しか実現できないものを同一チップで複数の機能を持つ回路として使用できる。

【0061】また、高速に回路変更を行うことができるため、通常動作時に論理機能を頻繁に変更するシステムにおいてもこの高速コンフィギュレーションを利用すれば、複数の機能に変化でき、フィールドプログラマブルゲートアレイの新たな使用方法が提供され有効利用ができる。

【図面の簡単な説明】

【図1】本発明の第1の構成例における全体構成を示すブロック図である。

【図2】本発明の第1の構成例における基本セルの構成を示す回路図である。

【図3】本発明の第1の構成例における基本セルを説明するための図表である。

【図4】本発明の第1の構成例における基本セルの周辺を示すブロック図である。

【図5】本発明の第2の構成例における全体構成を示すブロック図である。

【図6】本発明の第2の構成例における基本セルの構成を示す回路図である。

【図7】本発明の第2の構成例における基本セルの周辺を示すブロック図である。

【図8】本発明の第4の構成例における全体構成を示すブロック図である。

【図9】本発明の第5の構成例における全体構成を示すブロック図である。

【図10】本発明の第7の構成例における全体構成を示すブロック図である。

【符号の説明】

- 1…入力専用ピン、
- 2…配線領域、
- 3, 3a, 3b…基本セル、
- 4…入出力ピン、
- 5…出力バッファ、
- 6…アドレスデコーダ、
- 10…積項線、
- 11, 13, 24…EEPROMによるプログラム素子、
- 12…論理積、
- 14…セレクトマトリクス、
- 15…論理和、
- 17…SRAM、
- 17a…SRAM(S2)、
- 17b…SRAM(S1)、

18, 22...セクタ、
 21...EXORゲート、
 23...フリップフロップ、
 25...反転素子、
 26...論理回路部分、
 27...入出力ブロック、
 29...配線領域、
 30a, 30b, 30c...2入力セクタ、

31...フリップフロップ、
 32...ORゲート、
 33...基本セル、
 34...アンチヒューズ、
 36...デコーダ、
 37...データ格納メモリ、
 39...本発明の第1の構成例を表すブロック図、
 40...本発明の第2の構成例を表すブロック図。

【図1】

【図3】

図1

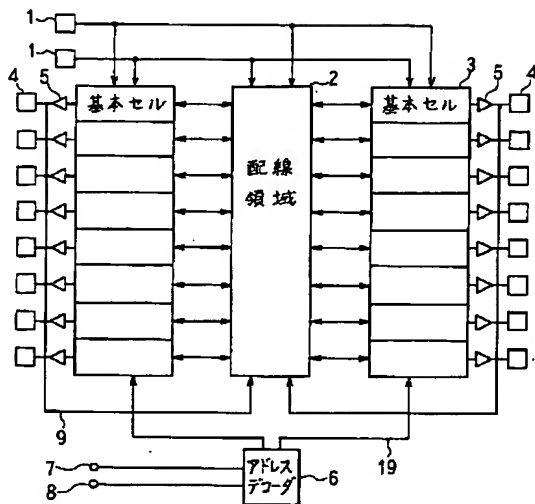
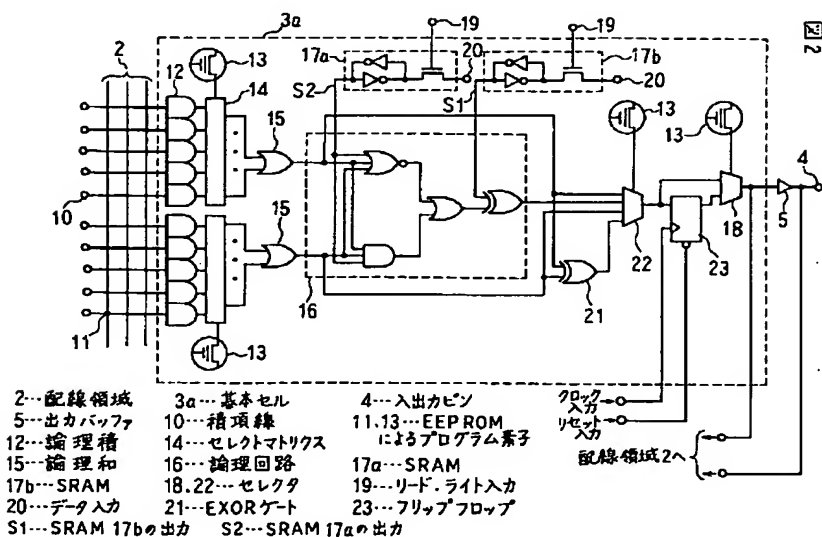


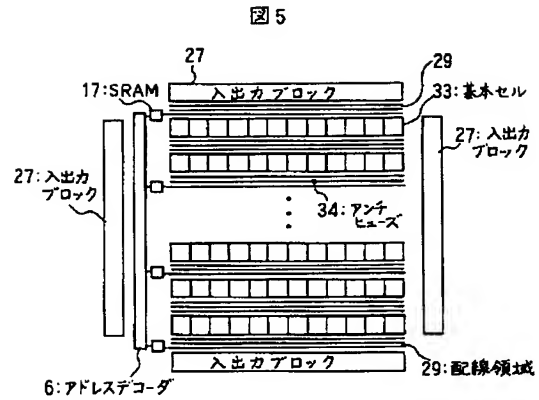
図3

S1	S2	機能
0	0	NOR
1	0	OR
0	1	AND
1	1	NAND

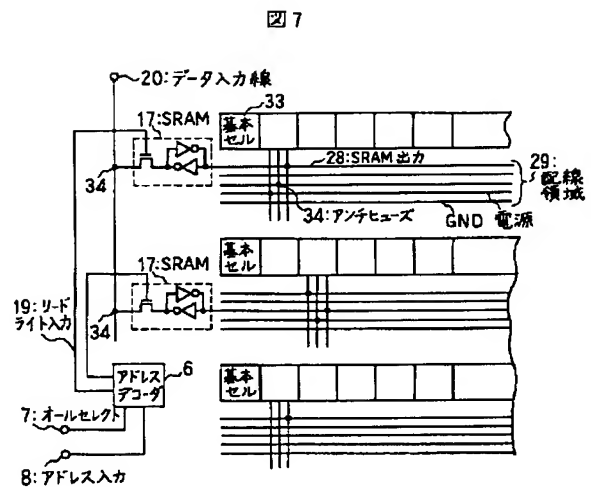
【図2】



【図5】

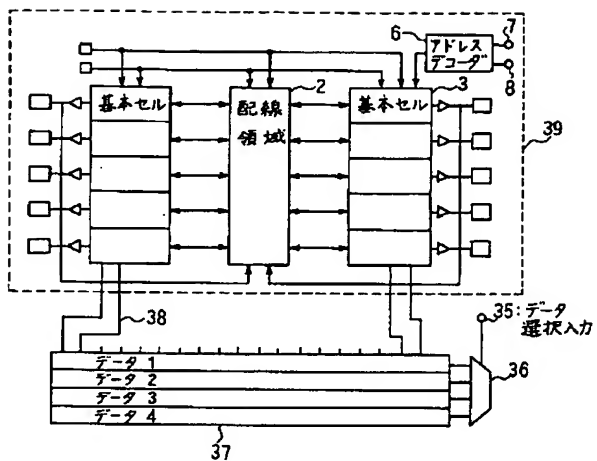


【図7】



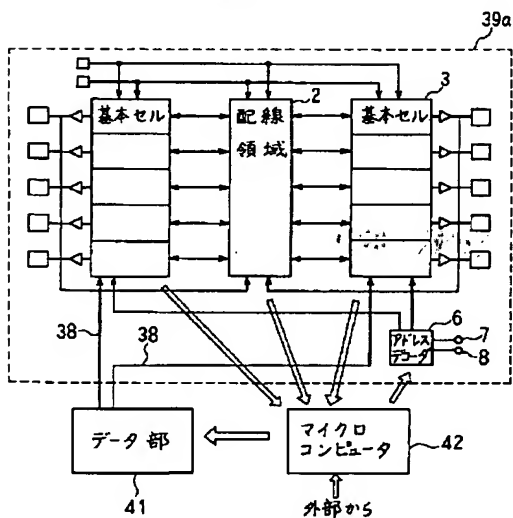
【図 8】

図 8



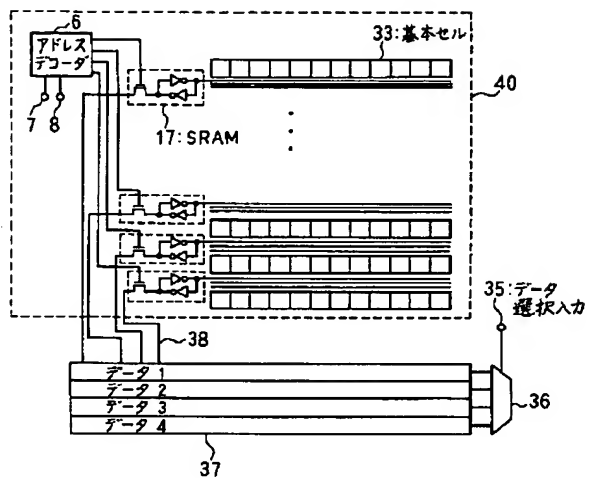
【図 10】

図 10



【図 9】

図 9



THIS PAGE BLANK (USPTO)